

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-184932

(43)Date of publication of application : 28.06.2002

(51)Int.Cl.

H01L 25/00
B23K 1/00
H01L 25/16
H03H 9/02
H05K 3/34
// B23K101:40

(21)Application number : 2000-380675

(71)Applicant : HITACHI LTD
HITACHI HOKKAI
SEMICONDUCTOR LTD

(22)Date of filing : 14.12.2000

(72)Inventor : SAITO YOSHIKI

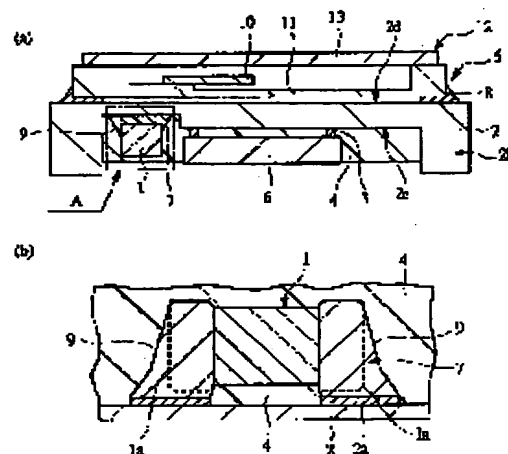
(54) SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent short-circuits between component terminals during mounting of chip component by means of Sn-Pb solder.

SOLUTION: This semiconductor device is provided with, a driver IC 6 for driving quartz oscillator 10, a chip capacitor 1 having a component terminal 1a formed on the peripheral plane at the edge, a ceramic board 2 for supporting an oscillator 12, driver IC 6 and chip capacitor 1, a gold bump 3 for connecting driver IC 6 and ceramic substrate 2, a solder bonding part 9, which solder-bonds the component terminal 1a of the chip capacitor 1 with the board side terminal 2a of the ceramic board 2, is composed of an Sn-Pb alloy with no eutectic crystal solder region and that a weight % of Sn contained is 19.1% or less, preferably, 5% or less, and a sealing part 4 which covers the chip capacitor 1, and the solder bonding part 9. Thus, the solder of solder bonding part 9 does not melt during reflow mounting, and short-circuits between part terminals 1a of chip capacitor 1 can be prevented.

図 2



- | | |
|---------------------|-----------------------|
| 1: ナップコンデンサ (チップ部品) | 5: セラミックパッケージ (半導体装置) |
| 1a: 部品端子 | 6: ドライバIC (半導体チップ) |
| 2: セラミック基板 (実装基板) | 9: 融んだ接合部 |
| 2a: 基板側端子 | 10: 水晶振動子 |
| 4: 封止部 | |

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-184932

(P2002-184932A)

(43) 公開日 平成14年6月28日 (2002.6.28)

(51) IntCl. ⁷	識別記号	F I	テマコード (参考)
H 0 1 L 25/00		H 0 1 L 25/00	B 5 E 3 1 9
B 2 3 K 1/00	3 3 0	B 2 3 K 1/00	3 3 0 E 5 J 1 0 8
H 0 1 L 25/16		H 0 1 L 25/16	A
H 0 3 H 9/02		H 0 3 H 9/02	K
H 0 5 K 3/34	5 0 7	H 0 5 K 3/34	5 0 7 C

審査請求 未請求 請求項の数 5 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2000-380675(P2000-380675)

(22) 出願日 平成12年12月14日 (2000. 12. 14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233594

日立北海セミコンダクタ株式会社

北海道亀田郡七飯町字中島145番地

(72) 発明者 齊藤 孝樹

北海道亀田郡七飯町字中島145番地 日立

北海セミコンダクタ株式会社内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

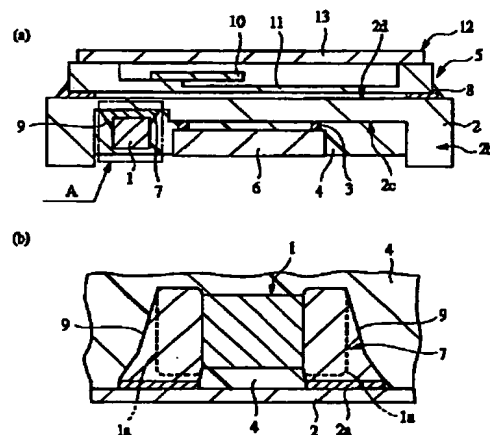
(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 Sn-Pb系はんだを用いたチップ部品の実装における部品端子間のショート防止する。

【解決手段】 水晶振動子10を駆動させるドライバIC6と、端部の外周面に部品端子1aが形成されたチップコンデンサ1と、発振器12とドライバIC6とチップコンデンサ1とを支持するセラミック基板2と、ドライバIC6とセラミック基板2とを接続する金バンプ3と、チップコンデンサ1の部品端子1aとセラミック基板2の基板側端子2aとをはんだ接続するとともに、共晶はんだ領域が形成されないSn-Pb系合金から成り、かつ含有するSnの重量%が19.1%以下好ましくは5%以下のはんだ接続部9と、チップコンデンサ1とはんだ接続部9を覆う封止部4とからなり、リフロー実装時に、はんだ接続部9のはんだが溶融しないため、チップコンデンサ1の部品端子1a間ショートを防ぐ。

図 2



- 1: チップコンデンサ (チップ部品)
1a: 部品端子
2: セラミック基板 (実装基板)
2a: 基板側端子
4: 封止部
5: セラミックパッケージ (半導体装置)
6: ドライバIC (半導体チップ)
9: はんだ接続部
10: 水晶振動子

【特許請求の範囲】

【請求項1】 端部の外周面に部品端子が形成された表面実装形のチップ部品と、
前記チップ部品を支持し、前記部品端子と接続する基板側端子が設けられた実装基板と、
前記チップ部品の前記部品端子と前記実装基板の前記基板側端子とをはんだ接続し、共晶はんだ領域が形成されないSn-Pb系合金から成るはんだ接続部と、
前記チップ部品と前記はんだ接続部とを覆い、封止用樹脂から成る封止部とを有することを特徴とする半導体装置。

【請求項2】 端部の外周面に部品端子が形成された表面実装形のチップ部品と、
前記チップ部品を支持し、前記部品端子と接続する基板側端子が設けられた実装基板と、
前記チップ部品の前記部品端子と前記実装基板の前記基板側端子とをはんだ接続し、共晶はんだ領域が形成されないSn-Pb系合金から成り、含有するSnの重量%が19.1%以下のはんだ接続部と、
前記チップ部品と前記はんだ接続部とを覆い、封止用樹脂から成る封止部とを有することを特徴とする半導体装置。

【請求項3】 端部の外周面に部品端子が形成された表面実装形のチップ部品と、
前記チップ部品を支持し、前記部品端子と接続する基板側端子が設けられた実装基板と、
前記チップ部品の前記部品端子と前記実装基板の前記基板側端子とをはんだ接続し、共晶はんだ領域が形成されないSn-Pb系合金から成り、含有するSnの重量%が5%以下のはんだ接続部と、
前記チップ部品と前記はんだ接続部とを覆い、封止用樹脂から成る封止部とを有することを特徴とする半導体装置。

【請求項4】 水晶振動子と、
前記水晶振動子を駆動させる回路が形成された半導体チップと、
端部の外周面に部品端子が形成された表面実装形のチップ部品と、
前記水晶振動子と前記半導体チップと前記チップ部品とを支持し、前記部品端子と接続する基板側端子が設けられた実装基板であるセラミック基板と、
前記半導体チップと前記セラミック基板とを接続する金パンプと、
前記チップ部品の前記部品端子と前記セラミック基板の前記基板側端子とをはんだ接続し、共晶はんだ領域が形成されないSn-Pb系合金から成り、含有するSnの重量%が19.1%以下のはんだ接続部と、
前記チップ部品と前記はんだ接続部と前記半導体チップと前記金パンプとを覆い、封止用樹脂から成る封止部とを有することを特徴とする半導体装置。

【請求項5】 端部の外周面に部品端子が形成された表面実装形のチップ部品を準備する工程と、
前記部品端子と接続可能な基板側端子が設けられた実装基板を準備する工程と、
前記チップ部品の前記部品端子と前記実装基板の前記基板側端子とをはんだ接続して、共晶はんだ領域が形成されないSn-Pb系合金から成るはんだ接続部を形成する工程と、
封止用樹脂によって前記チップ部品と前記はんだ接続部とを覆って封止する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体製造技術に関し、特に水晶発振器などのセラミックパッケージにおけるチップ部品の実装に適用して有効な技術に関する。

【0002】

【従来の技術】以下に説明する技術は、本発明を研究、完成するに際し、本発明者によって検討されたものであり、その概要は次のとおりである。

【0003】近年、携帯用電子機器の発展により、これに搭載される各半導体パッケージにおいて小形化が進められているが、水晶発振器などのセラミックパッケージにおいてもその小形化が要求されている。

【0004】そこで、小形化を図った水晶発振器には、箱型(凹型)の1つのセラミック基板に、チップ部品であるチップコンデンサと、ドライバIC(Integrated Circuit)用の半導体チップと、水晶発振器とが搭載されているものがあり、このようなセラミックパッケージでは、チップコンデンサと半導体チップがセラミック基板の凹部内に搭載され、水晶発振器がその反対側の凹部の外側の背面に搭載されている。

【0005】さらに、箱型のセラミック基板の周縁部の4コーナの脚部に、このセラミックパッケージの外部端子が形成されている。

【0006】なお、このセラミックパッケージにおいて、チップコンデンサは、導電性樹脂またはSn-Pb(鉛錫)系はんだによって接続されることが好ましいが、導電性樹脂に比べて鉛錫はんだは、接続部の抵抗が小さく、かつ熱による劣化が見られない。

【0007】したがって、チップコンデンサの搭載には、一般的に、Sn-Pb系はんだ(鉛錫はんだ)が用いられている。

【0008】一方、ドライバICである半導体チップは、超音波や加圧などによるAu-Au接続によってセラミック基板に搭載されている。

【0009】このようなセラミックパッケージ(水晶発振器)では、小形化が図られているため、箱型のセラミック基板の周縁部の脚部と凹部内のチップコンデンサとが非常に接近して配置されている。

【0010】その際、チップコンデンサには、その端部の外周面に端子である部品端子が形成されており、したがって、チップコンデンサを露出させておくと、この露出した部品端子とセラミック基板の外部端子とがそれぞれのはんだ接続部のはんだによってショートする可能性があるため、凹部内でチップコンデンサを露出させることなく完全に覆って樹脂封止する必要がある。

【0011】また、Sn-Pb系はんだでは、含有するSn（錫）の重量%が7%付近を越えると、はんだ内に183℃で溶融する共晶はんだ（Pb:Sn=63:37）が存在すると考えられている（図7参照）。

【0012】ここで、Sn-Pb系合金については、例えば、日経BP社、1993年5月31日発行、「実践講座VLSIパッケージング技術（上）」香山晋、成瀬邦彦（監修）、261～263頁にその記載がある。

【0013】

【発明が解決しようとする課題】ところが、前記した技術において本発明者は以下の問題点を見出した。

【0014】すなわち、チップコンデンサとSn-Pb系はんだとの接続において、セラミックパッケージ（水晶発振器）をリフロー実装する際、そのリフロー温度は、一般的に240℃であり、Sn-Pb系はんだ内の融点が183℃の共晶領域が溶融する。

【0015】その際、チップコンデンサが封止用樹脂によって完全に覆われていると、溶融によって体積膨張したSn-Pb系はんだの逃げ場がなくなり、前記体積膨張によるストレスがチップコンデンサと封止部との接合力を上回り、チップコンデンサと封止部との界面を剥離させる。

【0016】さらに、この剥離箇所に溶融したSn-Pb系はんだが流れ込み、その結果、チップコンデンサの両端の部品端子間がショートに至るといった問題が起こる。

【0017】本発明の目的は、Sn-Pb系はんだを用いたチップ部品の実装における部品端子間のショートを防止する半導体装置およびその製造方法を提供することにある。

【0018】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0019】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0020】すなわち、本発明の半導体装置は、端部の外周面に部品端子が形成された表面実装形のチップ部品と、前記チップ部品を支持し、前記部品端子と接続する基板側端子が設けられた実装基板と、前記チップ部品の前記部品端子と前記実装基板の前記基板側端子とをはんだ接続し、共晶はんだ領域が形成されないSn-Pb系

合金から成るはんだ接続部と、前記チップ部品と前記はんだ接続部とを覆い、封止用樹脂から成る封止部とを有するものである。

【0021】本発明によれば、240℃のリフロー温度で半導体装置を実装する際にも、チップ部品のはんだ接続部に共晶はんだ領域が形成されないため、前記はんだ接続部での溶融は発生せず、したがって、はんだ接続部の体積膨張にも至らず、チップ部品と封止部との界面剥離も起こらない。

【0022】その結果、チップ部品における部品端子間ショートの発生を防止できる。

【0023】さらに、本発明の半導体装置は、端部の外周面に部品端子が形成された表面実装形のチップ部品と、前記チップ部品を支持し、前記部品端子と接続する基板側端子が設けられた実装基板と、前記チップ部品の前記部品端子と前記実装基板の前記基板側端子とをはんだ接続し、共晶はんだ領域が形成されないSn-Pb系合金から成り、含有するSnの重量%が5%以下のはんだ接続部と、前記チップ部品と前記はんだ接続部とを覆い、封止用樹脂から成る封止部とを有するものである。

【0024】また、本発明の半導体装置の製造方法は、端部の外周面に部品端子が形成された表面実装形のチップ部品を準備する工程と、前記部品端子と接続可能な基板側端子が設けられた実装基板を準備する工程と、前記チップ部品の前記部品端子と前記実装基板の前記基板側端子とをはんだ接続して、共晶はんだ領域が形成されないSn-Pb系合金から成るはんだ接続部を形成する工程と、封止用樹脂によって前記チップ部品と前記はんだ接続部とを覆って封止する工程とを有するものである。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0026】図1は本発明の実施の形態の半導体装置の一例であるセラミックパッケージの構造を示す図であり、(a)は平面図、(b)は長手方向の側面図、

(c)は底面図、(d)は幅方向の側面図、図2は図1に示すセラミックパッケージの構造を示す図であり、

(a)は断面図、(b)は(a)のA部を示す拡大断面図、図3は図1に示すセラミックパッケージの製造方法における組み立て手順の一例を示す製造プロセスフロー図、図4は図1に示すセラミックパッケージの組み立てにおける部品搭載方法の一例を示す図であり、

(a)はチップ部品搭載時の拡大断面図、(b)はチップ部品搭載後の断面図、(c)は半導体チップ搭載後の断面図、図5は図1に示すセラミックパッケージの組み立てにおけるパッケージ構造の一例を示す図であり、(a)はアンダーフィル注入後の断面図、(b)は水晶振動子搭載後の断面図、図6は図1に示すセラミッ

クパッケージの組み立てで用いられるSn-Pb系合金の状態図の一例、図7は本発明の実施の形態のセラミックパッケージの組み立てに用いられるSn-Pb系はんだのSn含有量が7%時の示差熱分析の結果の一例を示す実験結果図、図8はSn含有量が5%時の示差熱分析の結果の一例を示す実験結果図、図9は本発明の実施の形態のセラミックパッケージの組み立てに用いられるSn-Pb系はんだのSn含有量に対する初期温度と250℃での不良発生検査の結果の一例を示す不良検査図である。

【0027】図1に示す本実施の形態の半導体装置は、図2に示すチップ部品であるチップコンデンサ1と、振動子である水晶振動子10と、これを駆動させる回路が形成された半導体チップであるドライバIC6とを搭載したものであり、主に、携帯用通信機器（例えば、携帯用電話器や携帯用ノート型パーソナルコンピュータ）などに組み込まれる発信装置であり、半導体パッケージの形態としてセラミックパッケージ5である。

【0028】図1、図2を用いて本実施の形態のセラミックパッケージ5の概略構成について説明すると、振動子である水晶振動子10と、水晶振動子10を駆動させる回路が形成されたドライバIC6と、両側の端部の外周面に部品端子1aが形成された表面実装形のチップコンデンサ1と、振動子用基板11に搭載された水晶振動子10とドライバIC6とチップコンデンサ1とを支持し、かつ部品端子1aと接続する基板側端子2aが設けられた実装基板であるセラミック基板2と、ドライバIC6とセラミック基板2とを接続するバンプ電極である金バンプ3と、チップコンデンサ1の部品端子1aとセラミック基板2の基板側端子2aとをはんだ接続するとともに、共晶はんだ領域が形成されないSn-Pb系合金から成り、かつ含有するSnの重量%が19.1%以下好ましくは5%以下のはんだ接続部9と、チップコンデンサ1とはんだ接続部9とドライバIC6と金バンプ3とを覆い、かつ封止用樹脂から成る封止部4とから構成される。

【0029】すなわち、セラミックパッケージ5は、図2(b)に示すように、アンダーフィル材である封止用樹脂によって完全に覆われたチップコンデンサ1をセラミック基板2に搭載したものであり、このチップコンデンサ1のはんだ接続部9が、含有するSnの重量%が19.1%以下好ましくは5%以下で、かつ共晶はんだ領域が形成されないSn-Pb系合金から成るものである。

【0030】これにより、セラミックパッケージ5のリフロア実装時（例えば、リフロア温度240℃）に、はんだ接続部9のはんだが溶融することなく、したがって、はんだ接続部9が体積膨張せずに、封止部4とセラミック基板2との剥離も発生しない。

【0031】その結果、チップコンデンサ1における部品端子1a間のショートが発生を防止できる。

【0032】なお、セラミック基板2には、図2(a)に示すように、その内側にキャビティ部である凹部2cが形成され、この凹部2cにチップコンデンサ1とドライバIC6とが搭載されている。

【0033】さらに、セラミック基板2の背面2dには、水晶振動子10を有した発振器12が搭載されており、この発振器12は、水晶振動子10と、この水晶振動子10を搭載した振動子用基板11と、水晶振動子10を覆う蓋であるキャップ13とからなる。

【0034】なお、チップコンデンサ1のはんだ接続部9を形成するはんだを第1はんだ7とし、発振器12がセラミック基板2と接続するはんだを第2はんだ8とすると、第1はんだ7の融点の方が、第2はんだ8よりも高い。

【0035】これは、凹部2cにチップコンデンサ1が搭載されたセラミック基板2に対して、その背面2dに発振器12をはんだ接続する際に、第1はんだ7の方が第2はんだ8より融点が高いと、第1はんだ7が溶けるためであり、これを防ぐために第1はんだ7の方が第2はんだ8より融点が高いはんだとなっている。

【0036】また、セラミック基板2の凹部2cには、金バンプ3によるAu-Au接続で取り付けられたドライバIC6が固定されており、ワイヤボンディングを行わず、金バンプ3によるバンプ接続を用いることにより、実装面積を少なくしている。さらに、チップコンデンサ1とドライバIC6が、アンダーフィル材である封止部4によって樹脂封止されている。

【0037】なお、ドライバIC6は、封止部4内に埋め込まれてもよいし、また、その表面が露出しているもよく、金バンプ3によるAu-Au接続部が樹脂封止されていればよい。

【0038】さらに、封止部4を形成する封止用樹脂は、例えば、ポッティング用の熱硬化性のエポキシ樹脂などである。

【0039】また、セラミックパッケージ5のセラミック基板2の4つの角部は、図2(a)に示すように、脚部2bとなっており、この脚部2bの発振器搭載側と反対側の被実装面には、図1(c)に示すように、セラミックパッケージ5の外部端子5aが形成されている。

【0040】なお、本実施の形態のセラミックパッケージ5は、そのセラミック基板2の凹部2cにチップコンデンサ1とドライバIC6とを搭載した小形のものであるため、チップコンデンサ1の部品端子1aが封止部4から露出していると、セラミックパッケージ5のリフロア実装時に部品端子1aと外部端子5aとがはんだによって接続される可能性があるため、セラミックパッケージ5では、チップコンデンサ1を完全に封止部4に埋め込んでいる。

【0041】すなわち、チップコンデンサ1は、アンダーフィル材である封止用樹脂によって完全に覆われてい

る。

【0042】ここで、セラミックパッケージ5におけるチップコンデンサ1のはんだ接続部9について説明する。

【0043】はんだ接続部9は、共晶はんだ領域が形成されないSn-Pb系合金から成るとともに、含有するSnの重量%が19.1%以下好ましくは5%以下のものである。さらに、ここで述べるはんだ接続部9のSnの重量%は、チップコンデンサ1搭載時に基板側端子2aに配置される迎いはんだ(図4(a)に示す予備はんだ14のこと)のSnと合わせた結果の重量%のことである。

【0044】まず、図6に示すSn-Pb合金の状態図において、共晶はんだ(Sn63重量%、Pb37重量%)となる箇所が共晶点Eであり、この組成のはんだを共晶はんだといい、その融点は183℃である。

【0045】したがって、本実施の形態のセラミックパッケージ5では、チップコンデンサ1のはんだ接続部9を共晶はんだ領域が形成されないSn-Pb系合金とするものであり、その際のはんだ接続部9のSnの重量%に着目したものである。

【0046】そこで、図7および図8に示す示差熱分析の結果、および図9に示すSn-Pb系はんだにおけるSn含有量に対する初期温度(初期テスト)と250℃での不良発生検査の結果に基づいて、はんだ接続部9に含有されるSnの重量%を19.1%以下好ましくは5%以下とした。

【0047】すなわち、図7は、Sn-Pb系合金のはんだ接続部9のSnの重量%を7%とした時の示差熱分析を示したものであり、183℃付近で微小なピークPが検出されている。

【0048】これは、Snの重量%を7%とすると、はんだ接続部9に共晶はんだ領域が存在する可能性を示すことになる。

【0049】そこで、図8は、Snの重量%を5%とした時の示差熱分析を示したものであり、314℃付近の大きなピーク以外には反応は示されていない。

【0050】したがって、Snの重量%が5%の場合には、240℃のリフロー温度では、はんだ接続部9に共晶はんだ領域が形成されないことになる。

【0051】また、図9は、組み立て後のはんだ接続部9のSnの重量%が19.1%と14.5%の2種類のセラミックパッケージ5をサンプルとして用い、これらのセラミックパッケージ5に対して初期テスト(加熱していない温度状態)と、250℃(セラミックパッケージ5をリフロー実装する際のリフロー温度240℃より少し高い温度)とで、チップコンデンサ1の発生を検査したものである(図9は、不良数/テスト数を示している)。

【0052】図9によれば、Snの重量%が19.1%と

14.5%の両方の場合とも初期テストおよび250℃において不良は発生していない。

【0053】したがって、実用上、はんだ接続部9のSnの重量%が19.1%以下でも問題ないと判断し、図7、8および9の結果により、本実施の形態のセラミックパッケージ5では、これに搭載されるチップコンデンサ1のはんだ接続部9のSnの重量%を19.1%以下好ましくは5%以下とする。

【0054】次に、本実施の形態の半導体装置(セラミックパッケージ5)の製造方法を図3に示す製造プロセスフロー図にしたがって説明する。

【0055】まず、図3に示すステップS1により、Auワイヤを用いて半導体ウェハ(ウェハ)に形成された半導体チップ領域の表面電極へのパンプ付けであるパンパボンディングを行う。

【0056】これにより、予め各半導体チップ領域に金パンプ3が取り付けられた半導体ウェハを準備できる。

【0057】続いて、ステップS2により、前記半導体ウェハを各半導体チップ領域ごとに個片化して半導体チップであるドライバIC6を取得するダイシングを行う。

【0058】一方、端部の外周面に部品端子1aが形成された表面実装形のチップ部品であるチップコンデンサ1を準備する。

【0059】さらに、部品端子1aと接続可能な基板側端子2aが設けられた実装基板であるセラミック基板2を準備する。

【0060】すなわち、チップコンデンサ1およびドライバIC6を搭載することができ凹部2cを有し、この凹部2cに基板側端子2aが形成されたセラミック基板2を準備する。

【0061】続いて、チップコンデンサ1の部品端子1aとセラミック基板2の基板側端子2aとをはんだ接続して、共晶はんだ領域が形成されないSn-Pb系合金から成るはんだ接続部9を形成する。

【0062】すなわち、セラミック基板2の凹部2cへのチップコンデンサ1の搭載を行う。

【0063】その際、まず、図4(a)に示すように、セラミック基板2の基板側端子2aに予備はんだ14を配置するステップS3に示すはんだ供給を行う。

【0064】さらに、チップコンデンサ1を基板側端子2a上に配置するチップコンデンサ付け(ステップS4)を行う。

【0065】続いて、ステップS5に示すリフローを行ってチップコンデンサ1の部品端子1aとセラミック基板2の基板側端子2aとを、図2(b)に示すように、はんだ接続してはんだ接続部9を形成する。

【0066】その際、リフロー温度は、240℃程度である。

【0067】ここで、はんだ接続部9は、Sn-Pb系

合金から成るとともに、これに含有されるSnの重量%が19.1%以下好ましくは5%以下となるようにする。

【0068】これにより、図4(b)に示すように、セラミック基板2の凹部2cにチップコンデンサ1をマウントした状態となる。

【0069】その後、ステップS6に示すチップマウントを行う。

【0070】ここでは、ドライバIC6に超音波や圧力を付与して金バンパ3によるAu-Au接続によってドライバIC6とセラミック基板2とを接続する。

【0071】これにより、図4(c)に示すように、セラミック基板2の凹部2cにチップコンデンサ1とドライバIC6とをマウントした状態となる。

【0072】その後、ステップS7に示すアンダーフィル注入を行う。

【0073】すなわち、セラミック基板2の凹部2cに、エポキシ系の熱硬化性樹脂などの封止用樹脂をポッティングし、これによって、チップコンデンサ1とはんだ接続部9とを覆って封止するとともに、ドライバIC6および金バンパ3も封止する。

【0074】その際、チップコンデンサ1とはんだ接続部9と金バンパ3は、完全に覆うように封止用樹脂をポッティングする。ただし、ドライバIC6は、完全に覆ってもよいし、その一部(表面や側面など)を露出させてもよい。

【0075】これにより、図5(a)に示すように、セラミック基板2の凹部2cにおいて、チップコンデンサ1とはんだ接続部9とドライバIC6と金バンパ3とが樹脂封止(アンダーフィル封止)された状態となる。

【0076】その後、セラミック基板2の背面2dの端子へのはんだ供給(ステップS8)を行い、続いて、この背面2dに発振器12を配置する水晶振動子付け(ステップS9)を行う。

【0077】なお、発振器12は、水晶振動子10を搭載した振動子用基板11と、これを封止するキャップ13とからなる。

【0078】その後、ステップS10に示すリフローを行って、発振器12をセラミック基板2の背面2dにはんだ接続する。

【0079】なお、ステップS10のリフローによって、チップコンデンサ1のはんだ接続部9を形成する第1はんだ7(図2(a)参照)が溶融しないように、発振器12の接続部のはんだである第2はんだ8は、第1はんだ7より融点が高い。

【0080】これにより、図5(b)に示すように、セラミック基板2の背面2dに発振器12が搭載され、本実施の形態の半導体装置(発振装置)であるセラミックパッケージ5の組み立てを終了する。

【0081】本実施の形態の半導体装置(セラミックパッケージ5)およびその製造方法によれば、以下のよう

な作用効果を得られる。

【0082】すなわち、チップコンデンサ1の部品端子1aとセラミック基板2の基板側端子2aとが、共晶はんだ領域が形成されないSn-Pb系合金から成るはんだ接続部9によって接続されていることにより、240℃のリフロー温度でセラミックパッケージ5を実装する際にも、チップコンデンサ1のはんだ接続部9に共晶はんだ領域が形成されないため、はんだ接続部9での溶融は発生しない。

【0083】したがって、前記はんだ溶融が起きないため、はんだ接続部9の体積膨張にも至らず、チップコンデンサ1と封止部4との界面剥離も起こらない。

【0084】その結果、チップコンデンサ1における部品端子1a間ショートが発生を防止できる。

【0085】これにより、セラミックパッケージ5のリフロー実装時のショートによるトラブルを低減できる。

【0086】なお、Sn-Pb系合金における含有Snの重量%が5%以下であることにより、はんだ溶融は確実に起きないため、したがって、チップコンデンサ1における部品端子1a間ショートが発生を確実に防止できる。

【0087】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0088】例えば、前記実施の形態では、半導体装置が、発振器12を有した発振装置の場合を説明したが、前記半導体装置は、図10の変形例に示すように、図2に示す発振器12が搭載されていないセラミックパッケージ16であってもよい。

【0089】すなわち、半導体装置は、チップコンデンサ1などのチップ部品が搭載され、かつこのチップ部品が封止用樹脂によって完全に覆われた構造のものであればよく、発振器12は、例えば、プリント配線基板15上に別々に搭載されていてもよい。

【0090】したがって、前記半導体装置は、ドライバIC6などの半導体チップも必ずしも搭載されていなくてもよく、少なくともチップコンデンサ1などのチップ部品が搭載され、その際、前記チップ部品が、Sn-Pb系合金から成りかつこれに含有されるSnの重量%が19.1%以下好ましくは5%以下であるようなはんだ接続部9によって実装基板に接続され、さらに、前記チップ部品とはんだ接続部9とが封止用樹脂によって完全に覆われた構造を備えるものであれば、他の半導体装置であってもよい。

【0091】また、前記実施の形態では、チップ部品であるチップコンデンサ1をセラミック基板2(実装基板)に搭載した後、ドライバIC6(半導体チップ)を搭載する場合を説明したが、先にドライバIC6をセラ

ミック基板2に搭載し、その後、チップコンデンサ1を搭載してもよい。

【0092】さらに、半導体チップであるドライバIC6を接続する際のAu-Au接続に用いられる金バンパ3は、Auワイヤではなく、AuめっきやAu印刷などで形成してもよい。

【0093】また、前記実施の形態では、チップ部品がチップコンデンサ1の場合を説明したが、前記チップ部品は、両側の端部の外周面に部品端子1aが形成された表面実装形のものであれば、チップ抵抗などであってもよい。

【0094】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0095】(1)、チップ部品の部品端子と実装基板の基板側端子とが、共晶はんだ領域が形成されないSn-Pb系合金から成るはんだ接続部によって接続されていることにより、240℃のリフロー温度で半導体装置を実装する際にも、前記はんだ接続部での溶融は発生しない。したがって、はんだ接続部の体積膨張にも至らず、チップ部品における部品端子間ショートが発生を防止できる。

【0096】(2)、Sn-Pb系合金における含有Snの重量%が5%以下であることにより、はんだ溶融は確実に起きないため、したがって、チップ部品における部品端子間ショートが発生を確実に防止できる。

【図面の簡単な説明】

【図1】(a)、(b)、(c)、(d)は本発明の実施の形態の半導体装置の一例であるセラミックパッケージの構造を示す図であり、(a)は平面図、(b)は長手方向の側面図、(c)は底面図、(d)は幅方向の側面図である。

【図2】(a)、(b)は図1に示すセラミックパッケージの構造を示す図であり、(a)は断面図、(b)は(a)のA部を示す拡大部分断面図である。

【図3】図1に示すセラミックパッケージの製造方法における組み立て手順の一例を示す製造プロセスフロー図である。

【図4】(a)、(b)、(c)は図1に示すセラミックパッケージの組み立てにおける部品搭載方法の一例を示す図であり、(a)はチップ部品搭載時の拡大部分側面図、(b)はチップ部品搭載後の断面図、(c)は半導体チップ搭載後の断面図である。

【図5】(a)、(b)は図1に示すセラミックパッケージの組み立てにおけるパッケージ構造の一例を示す図であり、(a)はアンダーフィル注入後の断面図、(b)は水晶振動子搭載後の断面図である。

【図6】図1に示すセラミックパッケージの組み立てで用いられるSn-Pb系合金の状態図の一例である。

【図7】本発明の実施の形態のセラミックパッケージの組み立てに用いられるSn-Pb系はんだのSn含有量が7%時の示差熱分析の結果の一例を示す実験結果図である。

【図8】本発明の実施の形態のセラミックパッケージの組み立てに用いられるSn-Pb系はんだのSn含有量が5%時の示差熱分析の結果の一例を示す実験結果図である。

【図9】本発明の実施の形態のセラミックパッケージの組み立てに用いられるSn-Pb系はんだのSn含有量に対する初期温度と250℃での不良発生検査の結果の一例を示す不良検査図である。

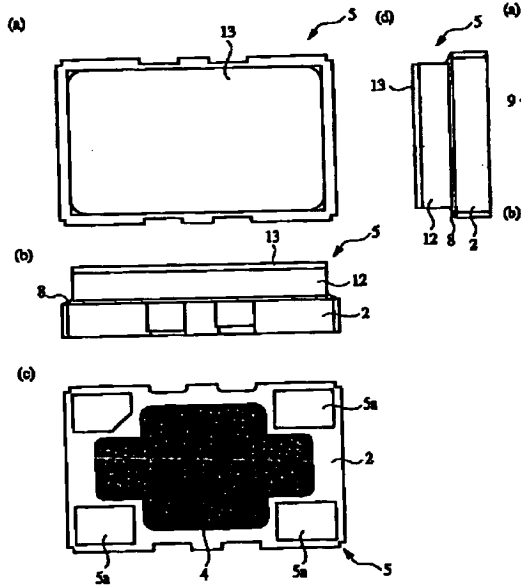
【図10】図1に示すセラミックパッケージに対する変形例の半導体装置の構造を示す拡大部分断面図である。

【符号の説明】

- 1 チップコンデンサ (チップ部品)
- 1a 部品端子
- 2 セラミック基板 (実装基板)
- 2a 基板側端子
- 2b 脚部
- 2c 凹部
- 2d 背面
- 3 金バンパ
- 4 封止部
- 5 セラミックパッケージ (半導体装置)
- 5a 外部端子
- 6 ドライバIC (半導体チップ)
- 7 第1はんだ
- 8 第2はんだ
- 9 はんだ接続部
- 10 水晶振動子
- 11 振動子用基板
- 12 発振器
- 13 キャップ
- 14 予備はんだ
- 15 プリント配線基板
- 16 セラミックパッケージ (半導体装置)

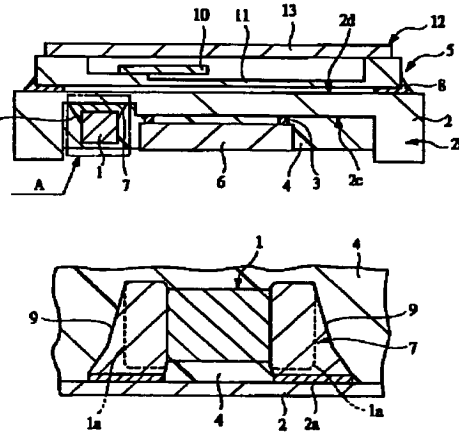
【図1】

図 1



【図2】

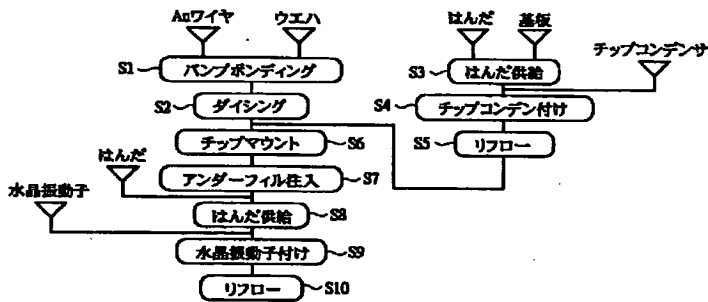
図 2



- 1: チップコンデンサ (チップ部品)
 1a: 部品端子
 2: セラミック基板 (実装基板)
 2a: 基板絶縁層
 4: 封止部
 5: セラミックパッケージ (半導体装置)
 6: ドライバIC (半導体チップ)
 9: はんだ接続部
 10: 水晶振動子

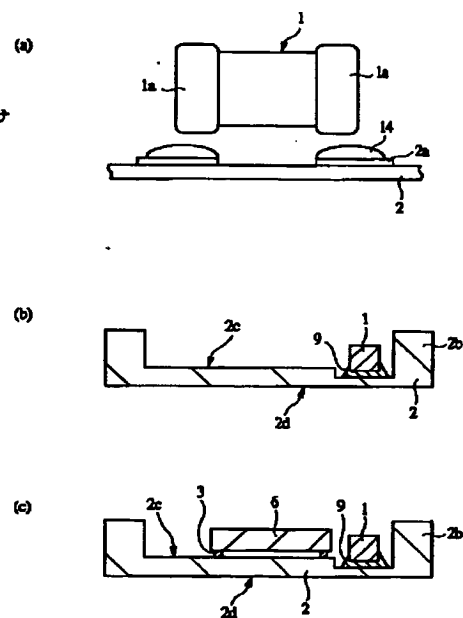
【図3】

図 3



【図4】

図 4



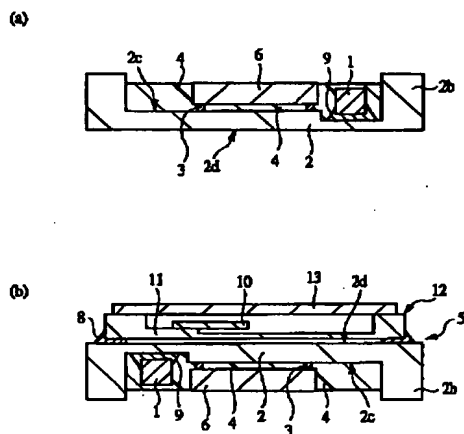
【図9】

図 9

不良数 (ヶ) / 母数 (ヶ)		
Sn含有量 (重量%)	初期テスト	250℃
19.1%	0/112	0/111
14.5%	0/150	0/148

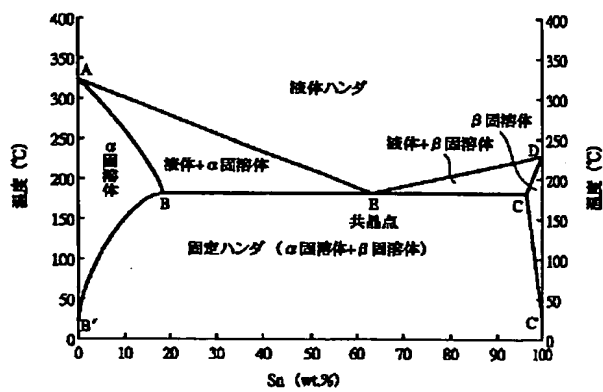
【図5】

図 5



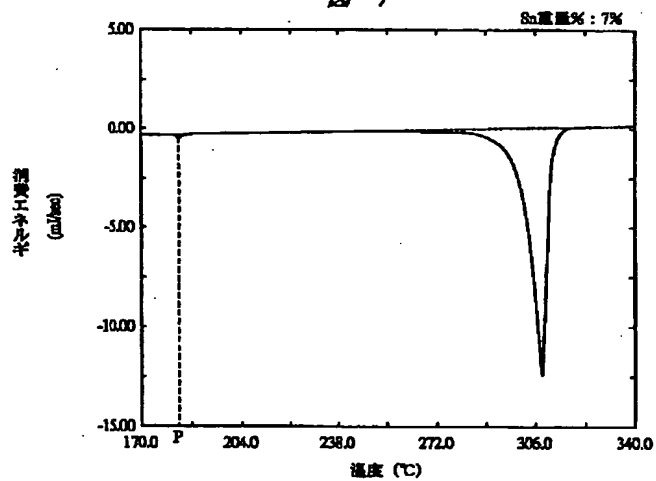
【図6】

図 6

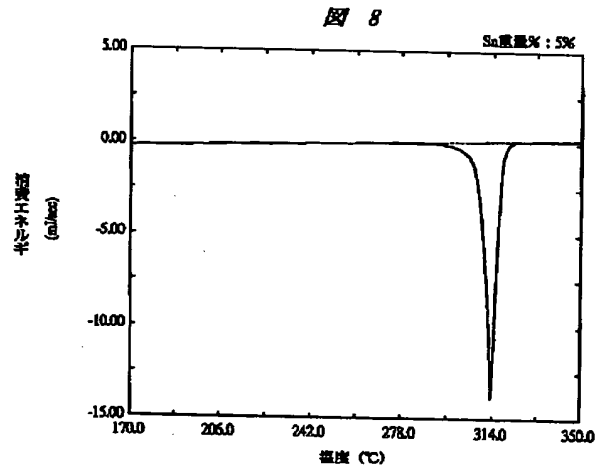


【図7】

図 7

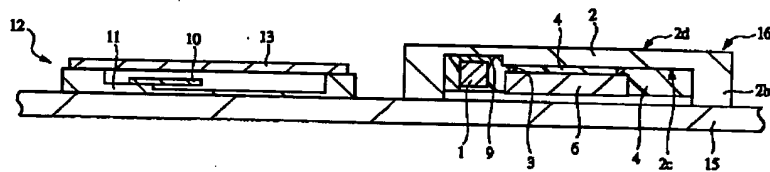


【図8】



【図10】

図 10



16: セラミックパッケージ(半導体封入)

フロントページの続き

(51) Int. Cl. 7

H05K 3/34
// B23K 101:40

識別記号
512

F I

H05K 3/34
B23K 101:40

キーワード(参考)

512C

Fターム(参考) 5E319 AA03 AB05 AC01 AC04 BB01
BB05 BB07 CC36 CC58 CD26
GG05
5J108 BB02 CC04 EE03 EE07 EE19
FF15 GG03 GG09 GG16 JJ02
JJ04